

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03141670 A

(43) Date of publication of application: 17 . 06 . 91

(51) Int. Cl

H01L 27/118
H01L 29/50

(21) Application number: 01279160

(71) Applicant: FUJITSU LTD

(22) Date of filing: 26 . 10 . 89

(72) Inventor: KANASUGI AKINORI

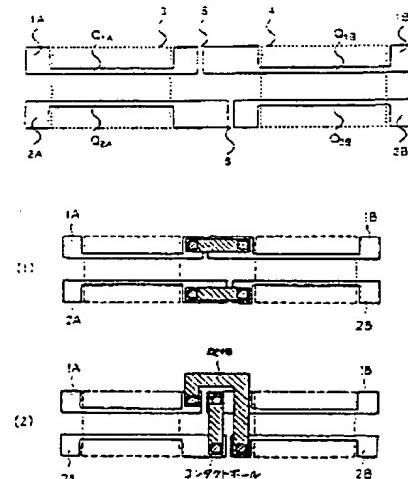
(54) GATE ARRAY

(57) Abstract:

PURPOSE: To make parallel connections and intersections of gate electrodes of unit cells with simple wiring by dividing gate electrodes at opposite positions of the center.

CONSTITUTION: Gate electrodes 1A and 1B are separated at a position 5, while gate electrodes 2A and 2B are separated at a position 6. The positions 5 and 6 are opposite the center. Therefore, a pattern of unit cells is obtained, in which circuitous wiring can be minimized, and it is possible to make parallel connections and intersections of gate electrodes 1A, 2A, 1B and 2B.

COPYRIGHT: (C)1991,JPO&Japio



⑫ 公開特許公報 (A) 平3-141670

⑬ Int. Cl.⁹
H 01 L 27/118
29/50

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月17日

S 7738-5F
8225-5F H 01 L 21/82

審査請求 未請求 請求項の数 3 (全6頁)

M

⑮ 発明の名称 ゲートアレイ

⑯ 特 願 平1-279160

⑰ 出 願 平1(1989)10月26日

⑱ 発明者 金杉 昭徳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

ゲートアレイ

2. 特許請求の範囲

(1) 基板上に、2個のFETが直列に接続された素子領域が2個平行に対向して配列されたゲートアレイの基本セルを有し、

該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極はそれぞれの中央部から反対方向にずれた位置で分割されていることを特徴とするゲートアレイ。

(2) 前記2個のゲート電極間に補助配線パターンを設けたことを特徴する請求項1記載のゲートアレイ。

(3) 基板上に、2個のFETが直列に接続された素子領域が2個平行に対向して配列されたゲートアレイの基本セルを有し、

該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極は

それぞれの中央部から同方向にずれた位置で分割されていることを特徴とするゲートアレイ。

3. 発明の詳細な説明

(概要)

ゲートアレイ、特にその基本セルに關し、

ゲート電極の平行接続及び交差接続を簡潔に配線できるような基本セルの構造を提供することを目的とし、

(1) 基板上に2個のFETが直列に接続された素子領域が2個平行に対向して配列されたゲートアレイの基本セルを有し、該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極はそれぞれの中央部から反対方向にずれた位置で分割されているように構成する。

(2) 前記2個のゲート電極間に補助配線パターンを設けるように構成する。

(3) 基板上に2個のFETが直列に接続された素子領域が2個平行に対向して配列されたゲートア

レイの基本セルを有し、該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極はそれぞれの中央部から同じ方向にずれた位置で分割されているように構成する。

(産業上の利用分野)

本発明はゲートアレイ、特にその基本セルに関するもの。

ゲートアレイは半導体チップ上にあらかじめトランジスタを形成しておき、所望の回路に応じて配線パターンを形成して製造するセミカスタムの半導体集積回路装置で、システムの多様化にともない広く用いられるようになった。

(従来の技術)

ゲートアレイの従来の基本セル構造として、第7図に示されるパターンが広く用いられていた。

第7図(1)～(3)は従来例による基本セル構造のパターンの例を示す平面図である。

(発明が解決しようとする課題)

第7図(3)のセルにおいては、第8図の等価回路に示すゲート電極の交差接続を行う場合は接続が困難であり、結果としてしばしば基本セル上の配線を複雑化していた。

即ち、交差接続を行う場合、従来はゲート配線を交差させる代わりに第8図のFET Q_{1A}, Q_{1B}もしくはQ_{2A}, Q_{2B}の内いずれか片側の電源配線を入れ替えていた。このため配線が非常に複雑化することがあった。

この場合、セルの配線間隔は数μm程度で、配線はすべてアルミニウム1層で行われ、配線方向はセル内であるので上下左右方向である。なお、ゲート電極はポリシリコン膜である。

本発明はゲート電極の平行接続及び交差接続を簡潔に配線できるような基本セルの構造を提供することを目的とする。

(課題を解決するための手段)

上記課題の解決は、基板上に、2個のFETが直

列には、実線で示されるゲート電極1, 1A, 1B, 2, 2A, 2Bと、点線で示される2個のFETが直列に接続された素子領域3, 4により、基板上に2組の2個直列に接続されたFET(Q_{1A}, Q_{1B}及びQ_{2A}, Q_{2B})が平行に配列されている。

第7図(1)において、1, 2はゲート電極、3, 4は素子領域である。

このセルは、ゲート電極1, 2はそれぞれ左右のFETに共通であり、ゲート電極が平行接続されたパターンである。

第7図(2)において、1A, 1B, 2はゲート電極、3, 4は素子領域である。

このセルは、ゲート電極1A, 1Bは左右のFETごとに分割され、ゲート電極2は左右のFETに共通である。

第7図(3)において、1A, 1B, 2A, 2Bはゲート電極、3, 4は素子領域である。

このセルのゲート電極は4個のFETごとに独立に形成されている。

列に接続された素子領域が2個平行に対向して配列されたゲートアレイの基本セルを有し、該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極はそれぞれの中央部から反対方向にずれた位置で分割されているゲートアレイ、或いは、前記2個のゲート電極間に補助配線パターンを設けたゲートアレイ、或いは、基板上に、2個のFETが直列に接続された素子領域が2個平行に対向して配列されたゲートアレイの基本セルを有し、該基本セルは両方の素子領域上に共通して2個のゲート電極が形成され、該2個のゲート電極はそれぞれの中央部から同方向にずれた位置で分割されているゲートアレイによって達成される。

(作用)

本発明は、基本セルの2本のゲート電極をそれぞれの中心部からずれた位置で分割することにより、更にゲート電極間に補助配線パターンを設けて、第2, 4, 6図に示すように迂回配線を可能

な限り回避して、従来例より簡潔な配線でゲート電極の平行接続及び交差接続を可能としたものである。

(実施例)

第1図は第1発明の一実施例による基本セル構造のパターンを示す平面図である。

従来例の第7図(3)と同様に、実線で示されるゲート電極1A, 1B, 2A, 2Bと、点線で示される2個のFETが直列に接続された素子領域3, 4とにより、基板上に2組の2個直列に接続されたFET(Q_{1A}, Q_{1B} 及び Q_{2A}, Q_{2B})が平行に対向して配列されている。

この場合、セルのゲート電極は4個のFETごとに独立に形成されている。

従来例の第7図(3)と相違する点はゲート電極1A, 1Bの分割位置5と、ゲート電極2A, 2Bの分割位置6とがそれぞれの中央部より反対方向にずれている点である。

第2図(1), (2)は第1発明の実施例の基本セルの

接続例を示す平面図である。

第2図(1)はゲート電極の平行接続、第2図(2)は交差接続の配線を示す。

図のように、平行接続は従来と同様に可能であり、交差接続は従来に比し簡潔化される。

第3図は第2発明の一実施例による基本セル構造のパターンを示す平面図である。

第1図と同様に、実線で示されるゲート電極1A, 1B, 2A, 2Bと、点線で示される2個のFETが直列に接続された素子領域3, 4により、基板上に2組の2個直列に接続されたFET(Q_{1A}, Q_{1B} 及び Q_{2A}, Q_{2B})が平行に対向して配列されている。

第1図と相違する点はゲート電極1A, 1Bとゲート電極2A, 2Bの中間位置に補助配線バターン7が形成されている点である。

第4図(1), (2)は第2発明の実施例の基本セルの接続例を示す平面図である。

第4図(1)はゲート電極の平行接続、第4図(2)は交差接続の配線を示す。

図のように平行接続は従来と同様に可能であり、

図のように、平行接続は従来と同様に可能であり、交差接続は従来に比し簡潔化される。

このように、いずれの実施例においても配線バターンが簡潔になる。

(発明の効果)

以上説明したように本発明によれば、ゲート電極の平行接続及び交差接続が簡潔に配線できるような基本セルのパターンが得られ、配線バターンを簡潔化することができる。

4. 図面の簡単な説明

第1図は第1発明の一実施例による基本セル構造のパターンを示す平面図。

第2図(1), (2)は第1発明の実施例の基本セルの接続例を示す平面図。

第3図は第2発明の一実施例による基本セル構造のパターンを示す平面図。

第4図(1), (2)は第2発明の実施例の基本セルの接続例を示す平面図。

第5図は第3発明の一実施例による基本セル構造のパターンを示す平面図。

第6図(1), (2)は第3発明の実施例の基本セルの接続例を示す平面図。

第7図(1)～(3)は従来例による基本セル構造のパターンの例を示す平面図。

第8図は交差接続した基本セルの等価回路である。

図において、

1, 1A, 1B, 2, 2A, 2Bはゲート電極。

3, 4は2個のPETが直列に接続された
素子領域。

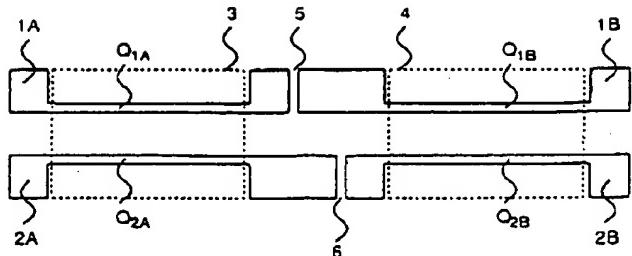
5, 6はゲート電極の分割位置。

7は補助配線パターン。

0_{1A}, 0_{1B}及び0_{2A}, 0_{2B}はPET

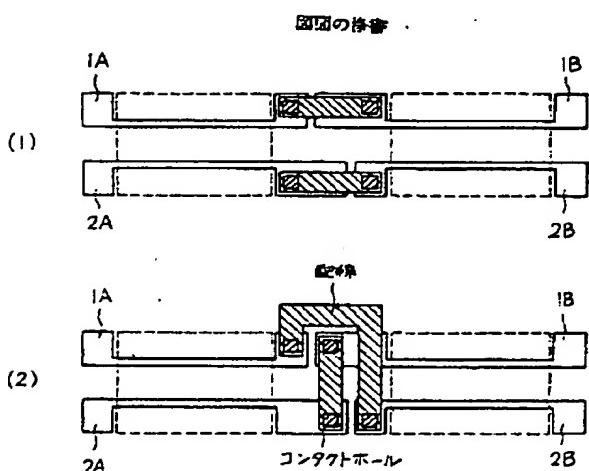
である。

代理人 弁理士 井桁貞一



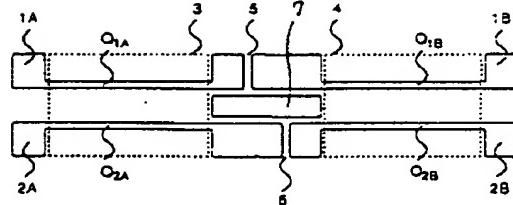
第1発明の実施例

第1図



第1発明の接続例

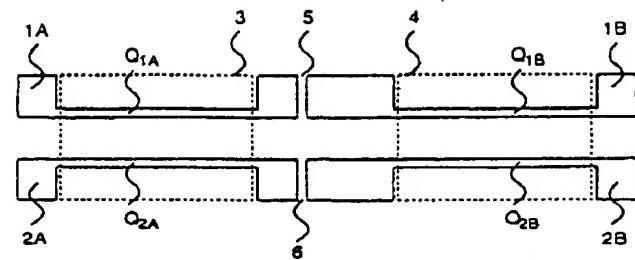
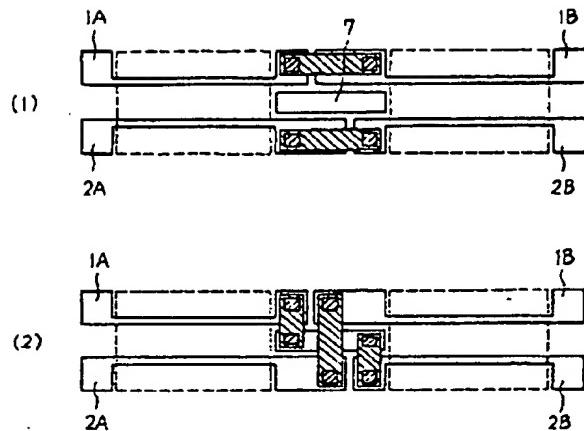
第2図



第2発明の実施例

第3図

図面の添付



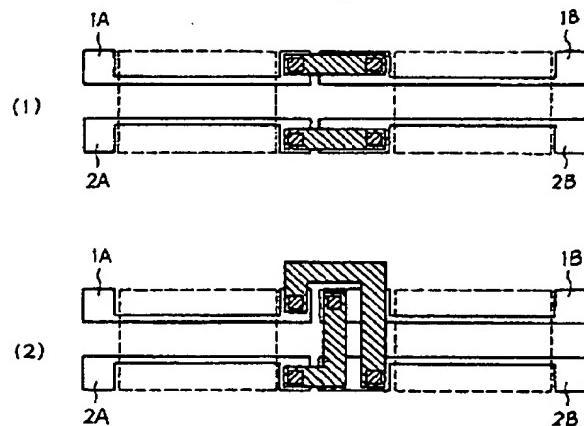
第3発明の実施例

第5図

第2発明の実施例

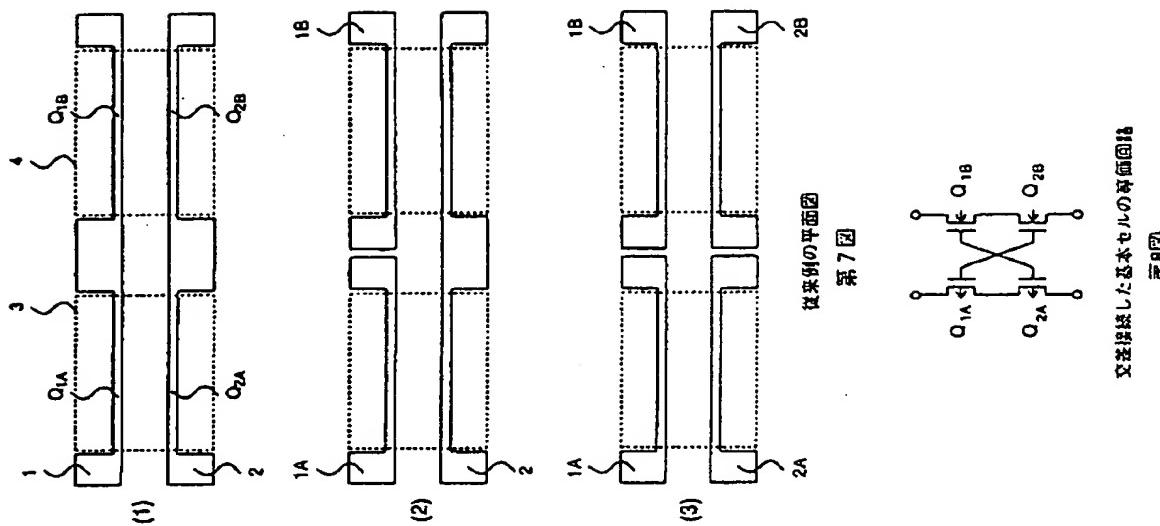
第4図

図面の添付



第3発明の実施例

第6図

第7図
往来側の平面図

交差接続した基本セルの構成図
第8図

手 続 楠 正 式 (式)

平成 2年 3月 14日

特許庁長官 殿

1. 事件の表示

平成 1年 特許第279160号

適

2. 発明の名称

ゲートアレイ

3. 検査をする者

事件との関係
特許出願人

住所 神奈川県川崎市中原区上小田中1015番地

名称 (522) 富士通株式会社

4. 代理人

住所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社 内

氏名 (7259) 井野井 貞一

電話 川崎 (044) 754-3035



5. 検査命令の日付

平成 2年 2月 27日 (発送日)

6. 検査の対象

図面(第2図 第4図 第6図)

7. 検査の内容

別紙のとおり

